

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 08032040

(43)Date of publication of application:

02.02.1996

(51) Int.CI.

H01L 27/12 H01L 27/08 H01L 29/786

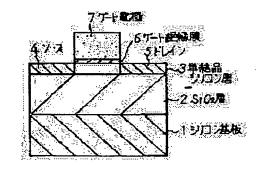
(21)Application number: 06162316 (71)Applicant: NEC CORP

(22)Date of filing: 14.07.1994 (72)Inventor: YOSHINO AKIRA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To restrain a depletion layer from excessively stretching in an SOI integrated circuit, by forming an insulator thin film and a silicon thin film, in order on a silicon substrate containing at least one kind of impurity element of a specified concentration. CONSTITUTION: An SiO2 layer 2 as an insulating layer is formed on a high concentration P-type silicon substrate containing P-type impurity element whose concentration is 1×1017cm-3 or higher, e.g., 1019cm-3 or higher. A single crystal silicon layer 3 is formed on the layer 2. By using an ordinary manufacturing process, an NMOS transistor is formed on the single crystal silicon layer 3. The source 4 and the drain 5 of the transistor are formed inside the silicon layer 3. The gate insulating film 6 and the gate electrode 7 are formed on the surface of the silicon layer 3. Since the P-type impurity concentration of the silicon substrate



1 is high, a depletion layer does not stretch toward the silicon substrate 1 side when the voltage of the drain 5 increases.

THIS PAGE BLANK (USPTO)

\$. ..

特開平8-32040 (11)特許出版公開每号

(43)公開日 平成8年(1996)2月2日

5萬表示箇所						(全13月)
拉						
				311 G	311 C	о ж
				3 1	31	観状頃の数8 01
				82		*
				প্ত		*
П				H01L 29/78		推放配头
广内整理番号				9056-4M	9056-4M	
atr.	7	ы				
数别配		331				
	21/12	80/12	29/786			
(51) Int CL.	H01L					

的文物格区艺五丁目7番1号 日本電気株 井理士,京本、直接。 (外2名) 東京都港区芝五丁目7番1号 日本電気株式会社 000004237 计 一种 式会社内 (74)代理人 (1) 出版人 (72) 契明者 平成6年(1994) 7月14日 **物医平6**—162316 (21) 出版等中 (22) 出版日

非解存物質 (34) [完明の名称]

[数数]

[目的] 完全空乏化型SOIトランジスタのしきい値電 王のSiO, M下路に存在するシリコン法板の単位変化 に対する受動を防止することにある。

とシリコン基板1との界面近傍の所盤の位置に、1×1 [県成] 本発明のSOI 数半導体装置は、SiO, 路2 0 11c m 12 いう比較的減度の高い不純物鉱設部は11 0388AT5.

-2.5102周 了上的發展 イナ関係 Y-/. 7

|特許請求の範囲|

前記シリコン基板は少なくとも一種類の不純物元素を含 【請求項1】 シリコン基板の上に形成された絶縁体制 質と、この絶縁体薄膜上に形成されたシリコン薄膜とを 育し、かつかかる不純物元素の濃度が1×10 ¹¹c m⁻¹ 有する構造を有する基板を備えた半導体装置において、 以上である耶を特徴とする半導体装置。

【請求項2】 前記シリコン基板はその不純物元素の設 度が1×1017cm-1よりも低い第1の部分と前記絶縁 体薄膜と前記シリコン基板との界面近傍に設けられ不純 物元素の濃度が1×10 11cm・以上である第2部分と を有する精末項1記載の半導体装置。

様体薄拠と前記シリコン基板との界面近傍のシリコン基 反に前配第2,の部分が投けられている別求項2記級の ンが形成されるシリコン薄膜の部分の直下にある崩記絶 【精米項3】 前記シリコン薄膜にMOS型トランジス タが形成され、このトランジスタのソースおよびドレイ

ある前記絶縁体薄膜と前記シリコン基板との界面近傍の シリコン基板に前記第2の部分が投けられている請求項 【構水項4】 南記シリコン薄版にMOS型トランジス タ が形成され、このトランジスタのゲート電極の直下に 2 記載の半導体装置。

々、ある一定値に固定されている事を特徴とする半導体

に、p型シリコン基板と第一のn型特定領域の単位が各

[精氷項5] - 構氷項1 記載の半導体装置において、シ Jコン基板は主たる不純物元素がポロンなどのp 整不純 MOSトランジスタのゲート電極低下にある絶縁体制数 とり型シリコン基板との界面近傍のり型シリコン基板の タ領域値下のシリコン基板の第一の特定領域が含有する リンなどのn型不純物元素の濃度が、p型シリコン基板 が含有するロ型不純物元素の濃度よりも高く、この第一 のn型特定領域と絶縁体潜版との界面近傍にあり、かつ PMO Sトランジスタのゲート電極の値下及びその近傍 にある第二の特定領域が含有するリンなどのn型不純物 物であり、その濃度が1×10 ¹⁷cm ⁻¹以下であり、N 特定の領域が含在するボロンなどのレ烈不純物定案の識 型シリコン 店板と第一の n 塑特定的域の単位が各々、あ 【請求項6】 請求項1記載の半導体装置において、シ リコン基盤が含有する主たる不純物元素がリンなどのn り、PMOSトランジスタのゲート電極値下にある絶縁 体薄膜とn型シリコン基板の界面近傍のn型シリコン基 版の特定の領域が含有するリンなどのn型不純物元素の δポロンなどのρ 型不純物元業の濃度がπ型シリコン基 仮が含有するn型不純物元素の濃度よりも高く、この第 度が1×10Pcm-以上であり、PMOSトランジス 兄者の適度が1×101cm・以上であり、さらに、p 型不純物であり、その濃度が1×10 17c m ¹以下であ スタ領域直下のシリコン基板の第一の特定領域が含有す る一定値に固定されている事を特徴とする半導体装置。 **濃度が1×101/cm-1以上であり、NMOSトランツ**

つNMO Sトランジスタのケート祖極の値下及びその近 的にある第二の特定領域が含有するポロンなどのり型不 11、 n型シリコン基板と第一のp型特定領域の電位が各 4、ある一定値に固定されている事を特徴とする半導体 花物元素の減度が1×101cm-1以上であり、さら

【精次項7】 開次項1記数の半導体装置において、シ リコン基板が含有する不純物元素がポロンなどのD型不 純物であり、その濃度が1×10¹¹cm-1以下であり、 NMO S トランジスタのソース・ドレイン領域下部にあ コン基板の特定の領域が含有するボロンなどのp型不純 この第一の「数特別放送と意味体は数との評価近傍にあ 下部にある第二の特定領域が含有するリンなどのn 粒不 る絶縁体質数とり型シリコン基板の界面近傍のり型シリ り、かつ P M O S トランジスタのソース・ドレイン領域 **砂元素の濃度が1×10^{17cm-1}以上であり、PMOS** トランジスタ領域直下のシリコン基板の第一の特定領域 コン基板が含有するロ型不純物元素の過度よりも高く。 が含有するリンなどの『型不純物元素の濃度が『型シ 純物元素の濃度が1×10º1cm・以上であり、さら

リコンな技が合在する不純物元素がリンなどの自然不純 MOSトランジスタのシース・ドレイン経過下部にある 絶縁作得数とn型シリコン基板の界面近傍のシリコン基 仮の特定の領域が含有するリンなどのn型不純物元素の **基板が含有する n 型不純物元素の濃度よりも高く、この** にある第二の特定領域が含有するポロンなどのD型不純 [晶氷項8] - 請氷項1記載の半導体装置において、シ スタ領域低下のシリコン基板の第一の特定領域が含作す るポロンなどのD型不純物元素の濃度が、n型シリコン 物であり、その濃度が1×10¹⁷cm⁻¹以下であり、P **遠度が1×10¹¹cm⁻¹以上であり、NMOSトランジ** 第一のp型特定領域と超縁体薄膜との界面近傍にあり、 かつNMOSトランジスタのシース・ドレイン領域下目 n型シリコン基板と第一のp型特定領域の電位が各々。 ある一定値に固定されている事を特徴とする半導体装 砂元光の道度が1×101ºcm1以上であり、さらに、

[条明の詳細な説明]

[0000]

【産業上の利用分野】本会明は半導体装置に関し、特に SOI (silicon-on-insulator) 型の半導体装置に関する。

[0002]

【従来の技術】 大規模集積回路の集債度は急速な勢いで 物加している。それに伴って、MOS型集技回路に搭載 5ミクロン以下になっており、研究レベルでは0.05 されているMOSトランジスタのゲート長はすでにの、

一のp型特定領域と絶縁体質膜との界面近傍にあり、か

ĉ

3

ミクロンに達している。性能が高く、しから長期信頼住を有する疑細MOSトランジスタを実現するためには、様々な要素を考慮しながら構造の最適化を行なわなければからかい。

[0003] MOS型集積回路においてさらに高い集積 度を実現するためには、MOSトランジスタ全体の寸法 するためにはゲート長を短くしなければならないが、ゲ が顕著になってしまう。 虹チャネル効果とは、ケート長 の減少に伴ってトランジスタのしきい値やソース・ドレ をさらに小さくしなければならない。この寸法を小さく しても電流駆動能力などの基本性能が低下しないように ―ト長の減少と共に「短チャネル効果」と呼ばれる現象 イン関酎圧の値が低下し、サプスレショルド係数の値が ト長の減少に合わせてチャネル部の不純物濃度を増加 増加してしまう現象である。この現象を抑制して良好な 特性のトランジスタを実現するために、一般的には、ゲ させなければならない。このような一枚的原則に基づい て敵邸MOSトランジスタを作製すると、ドレインと点 各生谷量の光故電に要する時間が増加して回路動作速度 が低下してしまう事になる。トランジスタの敬細化((|| 造の最適化) はこれらの雑間をパランス良く解決しなが ら実施されて米たが、最細加工技術などの製造技術の問 **題や、集積回路システムの設計や収達な回路設計技術の** 問題と共に、トランジスクをさらに破細化して巣積度を 仮の間に形成されるp-n接合の脊畳が増加するため、 向上することは、ますます困難になりつつある。

[0004] -方、SOI (Silicon-on-insulator) 構造を有する基板 (以下SOI基板と略称する) を用いた集積回路の研究開発は、上記p-n程含容量を低減する事などを目的として行なわれてい

[0005] 図19に、SO1基板の的を示す。過水の単格温シリコン基板1の上に軽棒体盤としてSiO2粉2が形成され、その上に単格温シリコン粉3が形成された構造になっている。SO1基板の製造技術はすでに確立されている。SiO2格2シリコン粉3の厚きの組み合わせは目的に応じて変わるが、環軸なCMOS回路に適用する場合には、各々100-500nm、30-150nm程度の値が別いられている。トランジスタなどの素子は、このシリコン粉3に形成される。

[0006] 因20にS01基板上に作製されたNMOSトランジスタ(以下NMOS/S01などと場称する)の例を示す。この国に示した例のように、ソース4、ドレイン5となる不能物が耐砂が5i02 超2に適していれば上記p-n接合の容益は5i02 磁の容益に置き変わるため、充故電されるべき済生容器の他は光しく減少する。その結果、回路動作速度が向上し、同時に消費電力も減少する。この様な利点に注目して、S01 基板を用いた集積回路の研究開発が行なれている。

という二種類に分類されている。NMO S/S O I やP MOS/SOIのチャネル部のシリコン層に導入する不 純物の濃度とこのシリコン層の厚さが決まると、この不 純物濃度によって決定される空乏層の幅の最大値(最大 空乏楹輻)とチャネル部のシリコン層の厚さの大小関係 が決定される。チャネル部のシリコン層の厚さよりも最 大空乏層幅の方が大きいトランジスタは「完全空乏化型 SOIトランジスタ」と呼ばれ、チャネル邸のシリコン 魯の厚さよりも最大空乏階幅の方が小さいトランジスタ る。囚21に、動作状態にある完全空気化型と部分空乏 型の場合(図21~a)にはチャネル領域(チャネル部 のシリコン層)14が完全に空乏化して中性のp型領域 化型のSOIトランジスタを模式的に示す。完金空乏化 (囚21-b) にはチャネル領域4のシリコン烙が完全 は、その構造から「完全空乏化型」と「部分空乏化型」 は「部分空芝化型SOIトランジスタ」と呼ばれてい こは空乏化しておらず、中性のp型領域25が残ってい 25は残っていないのに対して、部分空乏化型の場合

10008] ドレイン・基板間の寄生容量 (ドレイン浴生容量) を低減できるというSO [構造協力の特徴に加えて、シリコン協の原を全100m程度以下に審核化した完全定に照SO 1 ナランジメタは、近ナルネル効果 (ゲート接の減少に伴うしきい値の低下、サブスレショールド係数の地加) を効果的に抑制できるという正要な特徴を有する事が広く知られており (例えば、大村13か、テラニカル ダイジエスト オブ アイ・イー・ディー・エム、P. 675、1991年 [Y. Omuraet al., Technical Digest of IEDM (International Electron Device Meeting), p. 675, 1991])、実用化に向けて多くの研究が行なわれている。

[発明が解決しようとする課題] 以上説明した様に、完全空芝化盤SOIトランジスタは優れた特徴を有するが、一方、解決されなければならない課題も省している。

[0011] 図22に、完全登乏化型NMOS/SOI トランジスタのドレインに電源電圧が印加されて、p型

[0007] SO1 仏仮上に作製されるトランジスタ

のシリコン基板側に空之層13か形成されている状態を概念的に示す。空之層の形成状態 (電位分布) は、 Si O2 層の厚さやフラットパンド電圧、シリコン基板の不純物道度分布、及び電源電圧などに依存するが、トランジスタの住能や回路動作性能の拠点から、不必要に厚い Si O2 層を用いるよりは、むしろ Si O2 層の厚さと基板の不純物強度を共に低く投定した方が望ましいという場合が生じる。トランジスタ性能と Si O2 層の厚さとある合せにしては、大村らが報告にている(大村14か、テクニカル ダイジェスト オブ アイ・イー・ディー・エム、P. 675、1991年 [Y. Omuraet al., Technical Digest of IEDM (International Electron Device Meeting), p. 675、1991})。

ト谷草と空乏化したシリコン層の容量に加えて、SiO 2 母の容量が値列接続された状態になる。従って、完全 ン基板がp型の場合にこのシリコン基板の電位を 0 V か **空乏化型SOIトランジスタのしきい前電圧などの基本** の単位変化に対して非常に製造になる。例えば、シリコ ら負方向に変化させると、完全空乏化型NMOS/SO 1トランジスタのしきい値電圧は増加し(リムほか、ア 電圧の増加と共にシリコン層内部に空乏層が広がり、そ れがSiO2 層に到達するとトランジスタの容量はゲー [H. K. Lim and J. G. Fossum, I EEE Transactions on Elect パラメータは、Si02番下部に存在するシリコン規模 ronDevices, ED-30, p. 1244 (1983)])、チャネル移動度は低下する (メイヤ エレクトロン デバイシズ、ED-37, p. 128 【0012】 一方完全空乏化型SOIトランジスタで は、ゲート祖圧がしきい伯祖圧以下の領域では、ゲー! 一、アイ・イー・イー・イー、トランザクションズオン 0 (1990) [Mayer IEEE Transa ctions on Electron Device その枯果、ドレイン、ゲート、ソースのバイアス条件が 同じ場合には、電流駆動能力は基板電位(負)の絶対値 の増加と共に低下する。図22に示したような状態にお けるトランジスタのしきい値電圧は、空乏増が形成され ていない場合や、空乏層が形成されてもこれがチャネル ED-37, p. 1280 (1990)]), イ・イー・イー・イー、トランザクションズ オン レクトロンデパイシズ、p1244(1983)、 下部を広くは覆っていない場合の値よりも高くなる。

下部を広くは夏っていない場合の値よりも高くなる。 [0013] 図23は、寄生容量でに充電されていた間 荷が、近列接続された最細NMOSトランジスタAとB を介して故電される過程を概念的に示している。トラン ジスタAのソースとトランジスタBのドレインは共通で ある。シリコン基板の不純物濃度は何えば1×10¹⁵C m⁻¹程度であり、トランジスタAとBのゲート配無には

共にハイレイベルの信号が入力されているものとする。この図に示した状態では、トランジスタAのドレイン5下部のシリコン基板に形成された空差を13がトランジスタAのドレイン5スタAのドロンジスタAのドランジスタAのサーネル領域下部に主で広がっており、さらに、トランジスタAとBのドレイン(トランジスタAのソース4)の電位が上昇した事によって形成された空を23がトランジスタAとBのチャネル領域下部に主で広がっている。このような場合、トランジスタAとBは、実効的に負の基板バイアスが印加された状態になっているため、シリコン基板1が完全に接地されている場合であっ、シリコン基板1が完全に接地されている場合「SiO₂ 母2とシリコン基板1の界面の電位が0Vになっている場合)に比べてしきい値電圧が高くなり、チャネル移動度が低くなる。その結果、電流駆動能力が低下してが生名量の放電に要する時間が低くなり、ライスが生名量の放電に要する時間が低くなり、日路動行法との音楽を

【課題を解決するための手段】本発明の目的は201型 数積回路における空空盤の過剰を広がりを抑制した半線 存表置を提供することにある。かかる目的のために、本 発明の501型半線体装置は、5:0₂幅とシリコン基 板との労通近後の所望の位置に、1×10¹²cm・以上 という比較的濃度の高い不純物塩製御線を有している。 [0015]

[実施的] 次に本発明について図面を参照して説明す

【0016】図114本発明の第一の実施例を示す半導体 ン基板1の上に絶棒階として噂さ400mm程度のS; 僕の単結晶シリコン層3が形成されている。このシリコ ソスタが形成されている。トランジスタのソース4、ド チップ (NMOS/SOI) の断面図である。10 11c 0 🤊 増2が形成されており、その上に厚さ100m桁 ト絶縁膜6とゲート電極ではシリコン構3の表面に形成 されている。この例では、シリコン基板1の0粒不純物 が含有するP型不純物の濃度は、この濃度と逆方向電圧 m -J以上のp型不純物元素を含有する高濃度p型シリコ ン母3の上に、通常の製造工程を用いてNMOSトラン の濃度が高いため、ドレイン5の電圧が上昇してもシリ コン基板1回には空気増が広がらない。シリコン構板1 に依存する空乏層の幅やトランジスタの寸法などを考慮 して、必要に応じて所望の値に投定すれば良く、この例 で用いた低に限定されるものではないという事は言うま でもない。以下の実施例で示す高濃度不純物領域の不純 物濃度に関しても、全く同様である。さらに、シリコン 基板の高濃度不純物がn 型の場合にも同様の効果が得ら レイン5はシリコン帰るの内部に形成されており、ゲー れる単は甘うまでもない。

にの中に出りませるない。 【0017】このようなSOI基板を作製する方法はすでに確立されているが、その概要を図2を用いて説明す [0018] 不純物温度の低い単結晶シリコン基板8の

福子8-32040

9

没面に所望の厚さのSi0g 裕2を形成した後、このSi0g 梅2の表面と不純物識度の高い単結品シリコン碁版9の表面を、接合面10で接触させて二枚のシリコン基板8,9を貼り合わせる(工程3)。

[0019]次に、シリコン基板(A)8の不要部分を 研修して削除する事によって、単結晶シリコン協3を形 吹する(工程b)。不純物濃度の高いシリコン基板 (B) 9が完成したSOI基板の支持基板となる。

ているため、ドレイン5の祖侄が上昇してもシリコン塔 上に厚さ100nm程度のSiO2幅2が形成されてお り、その上に貸さ50mm程度の単結晶シリコン撥3が 形成されている。トランジスタの構造は図1と同じであ る。この例では、SiO2格2とシリコン結板1の光面 仮1 朝に登乏層は広がらない。この高温度 p 整領域 1 1 **Ыに形成する事ができる。イオン注入12の加速エネル** ギーは、単枯品シリコン暦3とSiO2M2の厚さを考 [0020] 図3は本発明の第二の実施例を示す半導体 チップ (NMOS/SOI) の断面図である。 通常のp **厚さが500m円程度の高温度φ型領域11が形成され** は、図4に示すように過霜のイオン注人技術を用いて衿 **感して選択すれば良いため、高温度p型領域11はトラ** 型 (不純物濃度は10½cm・程度) シリコン基板1の 近傍に、10gm 切上のり型不純物元素を含有し、 ソジスタの製造開始前に容易に形成できる。

nm程度のSiO2 始2が形成されており、その上に厚 る。トランジスタ話の構造は図1と同じである。この例 は、ソース・ドレインを形成するためのイオン注入を行 [0021] 図5は本会明の第三の実施例を示す半導作 は、通常の低濃度り型シリコン基板1の上に厚さ100 では、ソース4・ドレイン5下部の5102 殆2とシリ コン基板1の界面近傍にのみ、厚さ500m程度の高 温度 p 型領域 1 1 が形成されている。この高温度 p 型領 は11が存在する事により、ドレイン5の祖臣が上昇し れなくなる。この高減度り整領域11は図6に示すよう に、ソース・ドレインを形成するための通常のイオン注 人工程において、イオン注入12を用いて容易に形成す る事ができる。図5に示したような801基版の場合に なう向に、ポロンイオン12を80-100keV程度 チップ(NMOS/SOI)の原因囚にある。 いの返た てもドレイン下部のシリコン基板1億に発乏層は形成さ の加速エネルギーで3×10^{15cm-}程度注入する単に さ50mm程度の単結晶シリコン四3が形成されてい よって、高波度り型領域11を形成できる。

[0022] 因7は本発明の郊回の契結例を示す半導体ナップ (NMOS/SOI) の断回因である。この何では、低温度のり位のション基板1の上に厚き100m程度のSiO2が形成されており、その上に厚き50m程度の単結晶シリコン協3が形成されている。トランジスタの構造は包1と同じである。この例では、ケート電視7年的SiO2を2シリコン場成1の第

面近筋にのみ、厚さ500m程度の高速度り型領域1 1が形成されている。後って、ドレイン5の電圧が上昇すると、ドレイン下部の不純物速度の低いシリコン基板 1 頃には空2母13が広がるが、チャネル下部には高速度のDDS級11が存在するため、この空2届13(ツリコン基板1個の電位変化)の影響はチャネル領域14に1金全及ばない。この例では、ドレイン5下部には空2級13が広がるため、第一、第二、第三の実施例の場合よりもドレイン寄生容量をさらに低減できる、という特徴がある。

【0023】図8に、図7に示したトランジスタの製造 I.程の機略を示す。 | 0024| 図7に示したSO1基板の単結晶シリコン路3の実面に厚き10nm程度の熱像化版15を形成した後、この熱像化版15の上に厚き10nm程度の窓化版「6年現存し、この窓化版16の上に厚き30nm程度のCVD低化版17を堆積する。通常のリングラフィー技術とドライ・エッチング技術を用いて、フォトレジスト18をマスクにしてゲートជ延7となる領域のCVD値化数17、窓化版16、熱像化版15を除去し、単結晶シリコン塔3の装面を第出させる(工程3)。

[0025]高温度p型領域11を形成するためのボロン・イオン性人19と、しきい値電圧を制御するためのボロン・イオン性人19と行なう。イオン性人19の飛程を考慮してくり口酸化版11の写るを設定しておけば、CVD酸化版11がイオン社人19のマスクになるため、イオン社人20によるしきい値電圧の制御は、高温度p型がは11の形成と独立に構度良く行なえる(工

(약화)

【のの26】フォトレジスト18を除去した後、厚さ1 のnm程度のゲート絶縁版6を形成し、引き続いて高端 度のリンを含有する多結晶シリコン版を推構する。ドライ・エッチング技術を用いて不奨部分を除去する事によってゲート電幅7を形成する(工程c)。希敦したファ位済液でCV口値化数17を除去した後、加熱したリン位済液を用いて窒化数16を除去する。この後は、通常の製造工程に接く。

(0027) 1対914本名明の第元の実施例を示す半導体ナップの断面図でもる。第三の実施的と同様に、低減度のも数のショコン基板1の上に厚き100m型程度の102を202を3のではこつのNMOSトランジスタが四列接続されているが、各トランジスタが四列接続されているが、各トランジスタが四列接続されているが、各トランジスタが四列接続されているが、各トランジスタが回列接続されているが、各トランジスタの国立にある。102を2とフェコン基板1の宇宙が多につなが、102を2とフェコン基板1の宇宙が多につなが、12を200m程代の高減度の対域は11が形成されている。従って、出力端子21間のトランジスタのアレイン5の配圧が上昇しても、ドレイン5下間のション出板1間に登込路はにからない。また、出力端子21間のトランジスタのツ

ース4 (接地端子22間のトランジスタ・ドレイン)の 電位が上昇しても、ソース4の下部のシリコン基板1間 に登乏層は広がらない。従って、シリコン基板1の電位 変動は若しく抑制され、各トランジスタのしきい値電圧 などの基本特性が安定化する。

程度の単結晶シリコン層3が形成されている。この実施 すると、ドレイン5下部の不純物濃度の低いシリコン島 板1個には登乏協13が広がる。また、このトランジス ン)の配位が上昇すると、ソース4の下部の不純物濃度 [0028] 図10は本発明の第六の実施例を示す半導 **体チップの断面図である。第五の実施例と同様に、低濃** 変のp 型のシリコン基板1の上に厚さ100 n m程度の SiO, 幅2が形成されており、その上に収さ50nm 例でも二つのNMOSトランジスタが値列接続されてい と同じである。この構造では、ゲート質極7下部のSi 02 母2とシリコン基板1の界面近傍にのみ、頃さ50 0 n m程度の高減度p 型領域11が形成されている。出 **力強子21金のトランジスタのドレイン5の私圧が上外** タのソース4(接地福子22側のトランジスタのドレイ の低いシリコン基板1側には空芝M23が広がる。とこ ろが、各トランジスタのゲート電腦1の下部には高温度 のp型領域11が存在するため、空芝路13と53(シ リコン基板1側の電位変化)の影響はチャネル制域14 には金く及ばない。この例では、ドレイン5下部のシリ コン基板1側には空乏階13と23が広がるため、ドレ るが、各トランジスタ部の構造は第四の実施例 (図1) イン寄生容量を第五の実施例よりもさらに低減できる、 という特徴がある。

(0029) 図11は本発明の第七の実施例を示す半導体チップの断面図である。低速度のp型のシリコン基板 1の上に厚き100m程度のSiO2 20分形成されており、その上に厚き50m程度の単結晶シリコン図3が形成されている。各トランジスタ部の構造は第四の実施例(図7)と同様である。つまり、NMOSトランスタのゲート配展7下部のシリコン基度1には厚き500nm程度の高速度1が形成されており、PMOSトランジスタのゲート配置7下部のシリコン基度1には厚き500nm程度の高速度1が形成されており、設されている。この実施例では、PMOSトランジスタが設定するで、この実施例では、PMOSトランジスタが設定するための配置48が1にいかる。この実施例では、PMOSトランジスタが設定することを表現に加速である。コーウェル構造者1には厚き500mを選出を表現を可能では高速ににいる。この実施例では、PMOSトランジスを記述するための配置48が1時出された構造になっていった。このが接め可能を推進ににはできます。このが接め可能を推進している。このが接の可能を表現が可能に出

[0030] 図11に示した構造を有するトランジスタ (CMOS基本回路)の製造方法を、図12-図15を 用いて説明する。 [0031] この例で用いているSOI&仮は、低遠仮(10½cm-¹程度)のp型シリコン基板1の上に厚き90nm程度のSiO₂ 始2が形成され、その上に浮さ50nm程度の単結品シリコン始3が形成された構造に50nm程度の単結品シリコン始3が形成された構造に

なっている。加速エネルギー180keV、注入屋4×10¹⁰cm⁻³、基板温度550℃の条件で、適常のり型 (100)シリコン基板に検索イオンを注入してから1350℃で6時間程度の熱処理を行なうと、厚さ90nm程度の5102 程と有する501基板を形成できる事が広く知られている。通常の急能化技術を用いてこの単結晶シリコン階の表面を所建の厚さだけ酸化した後、希釈したフンド語が上に立って、この単結底シリコン層は特度良く降くする事ができる。70nm程度まで降酸化した単結晶シリコン階3の表面に厚き130nm程度の整体版25を形成し、その上に厚き100nm程度の型化版25を形成し、その上に厚き100nm程度の型化版25を形成し、その上に厚き100nm程度の型化版25を形成し、その上に厚き1

【0032】次に、適常のフィトリングラフィー技術を用いて某子分離的場のパターニングを行なう。ま予約 前域となる部分の空化数26キドライエッナングによう で除去した後、素子分離的域となる部分の単結出シリコン場3を熱酸化して熱酸化酸2.7を形成する。この熱酸 化数2.7の厚さは、その底部が5.10g。増2と一体化して各トランジスタが超気的に分離されるようは認定する。この例の場合には、熱酸化数2.7の厚さは2.00n m程度に接定してある(正程)。。 【0033】加熱したリン酸部液で望化版26を除去し、布釈したファ酸部液で熱酸化版25年除去した後、フォトリングラフィー技術を用いてNMOSトランジスタ話となる領域28にのムフォトレジスト29を残す。このフォトレジストをマスクにしてPMOSトランジスタ話のシリコン基板1に、加速エネルギー300keV、注入量1×1012cm・程度の条件でリンイオン30を注入する。この注入条件は、目的とするのウェル構造によって変化させる事ができる(工程で)。

[0034] レジスト29を除去した後、単結晶シリコン協3の安面に厚き10nm程度の熱核化版31を指揮し、その上に厚き10nm程度の配化版32を推進し、その上に厚き30nm程度のCVD核化版33を推する。その後、例えば1000で1時間程度の為処理を行なう中によって、PMOS前域のSiO2幅2の下路には、n型領域34が形成される(工程4)。

【0035】次に、フォトリングラフィー技術とドライエッチング技術を聞いて、ゲート延延となる領域37のCVD核化機35、窒化機34、及び熱値化機33発 去し、単結晶シリコン場3の表面を露出させる(工程 「1036] 次に、NMOSトランジスタ部の表面だけが貸出するようにフォトレジスト36 セパターニングし、NMOSトランジスタのゲート電低となる領域35の下部のSiO2 ね2とシリコン基板1の架面近傍にのみ、例えば加速エネルギー100 ke Vで5 x 10 ¹¹cm "程度のボロンイオン37を注入する事によって為違度・型が領域11を形成する。この領域の深さをより原く

8

| の深さをある程度深くする場合には、イオン注入の加 鱼)と同等以上にしておく必要がある。さらに、領域! 連エネルギーを必要に応じて何段階かに変化させる事が 望ましい。PMOSトランジスタ邸についても同様であ 「ろためには。上記CVD酸化膜33の厚さを、領域1 1を形成するために行なうイオン注入の飛程 (の最大

[0037] (工程1) で説明したNMOSトランジス ♪ 部の高濃度 p 型領域と同様にして P M O S トランジス タ節の高濃度=型領域38を形成した後、露出している 単格晶シリコン層3の表面に厚さ10nm程度のゲート **徴化版6を形成した後、ゲート及程度の厚さの高濃度 n** 型多結晶シリコン版39を堆積する (工程 g) 。

[0038] ドライエッチング技術を用いて上記多結晶 シリコン膜39の不要部分を除去す事によってゲート電 極?を形成した後、希釈フッ酸溶液を用いてCVD酸化 限33を除去する。この時、素子分離領域の酸化膜27 る。加熱したリン酸溶液を用いて窒化酸32を除去した 後、耳出したゲート電極7の装面に厚さ50mm程度の とゲート酸化酸6は窒化酸32によって保護されてい **熱徴化観40を形成する (工程h)。**

後、レジスト42をマスクにしたドライエッチング技術 を用いて素子分離領域の酸化酸21とS01 拡板のSi O₁ 唱2をエッチングして、PMO Sトランジスタ領域 のシリコン基板1内部に形成したn型領域34の装面を [0039] 次に、通常のリングラフィー技術を用い て、コンタクトホール41のパターニングを行なった **1**出させる (工程:)。 [0040] 次に、フォトリングラフィー技術を用いて りn型領域34の表面にもと業イオン44が注入される 例えば、加速エネルギー50keV、注入最5×10¹⁵ PMO Sトランジスタ領域に形成したn 型領域34の電 c E-1の母弁でに載イオン44を指入してNMOSトラ **はを固定するためのコンタクトホール43の内部、つま** レジスト43でPMOSトランジスタをマスクした後、 ンジスタのソース4とドレイン5を形成する。この時、

[0041] 同様にして、PMOSトランジスタのソー ス4、ドレイン5を形成する(工程k)。 [0042] 厚さ500nm程度の陥間絶縁版45を形 近した後、ゲート電極1、ソース4、ドレイン5、及び 七の実施例(図11)と同じであるが、この例では、選 領域3及びPMOSトランジスタ路のn型領域(nーウ る。n型領域34は電機電位に固定される(工程1)。 [0043] 図16は本発明の第八の実施例を示す半導 体チップの断面図である。トランジスアの基本構造は第 Rエピタキシャル成長技術を用いて、ソース・ドレイン 上記n型領域との接続部にコンタクトホールを形成し、 過去の金属配数技術を用いてアルミ配数46(投助権 子)、47 (出力端子)、48 (配源端子)を形成す

の単枯品シリコン層49を形成している。SOI 基板の と、ソース・ドレインの寄生抵抗が著しく増加して電流 駆動能力が低下してしまうが、この単結晶層を形成する ことによって、この寄生抵抗の値を著しく低減できる効 ェル) のコンタクト部41にのみ、厚さ100m配程度 単結晶シリコン母3の厚さを50nm程度に設定する 果がある。 [0044] 図17を用いてこの構造の製造方法を説明 する。図12~図14に示した (工程a) から (工程 i) までの工程は共通である。

[0051]

[0045] PMOSトランジスタ部のn型領域に、図 | 4の (工程!) と同じ方法でコンタクトホール4 1を 3成する (工程a)。

[0046] 通常の選択エピタキシャル成長技術を用い て、各トランジスタのソース・ドレイン領域と上記コン タクトホール部41にのみ、厚さ100nm程度の単結 品シリコン層49を選択的に形成する(工程も)。

[0047] NMOS トランジスタ、PMOS トランジ 行ない、注入した不純物元素を活性化するための熱処理 を行なった後、図15の (工程1) と同様にして、アル スタのソース・ドレインを形成するためのイオン往入を ミ配級を形成する (工程 c) 。

ン領域やゲート電極上面にチタン、コパルトなどの金属 シリサイドを形成したり、また、上記(工程b)におい て単結晶シリコン路49を形成する代わりに、タングス [0048] 上記 (工程c) において、ソース・ドレイ ソース・ドレインやゲート間極の寄生抵抗を著しく低減 テンなどの金属薄膜を選択的に成長する単によっても、 できる事は置うまでもない。

体チップの断面図である。PMOSトランジスタ領域の SiO,母2下部に不純物濃度の低い 型領域34条形 近する事など、全体的な構造は本発明の第七, 第八の実 [0049] 図18は本発明の第九の実施例を示す半導 **施倒とほぼ同じであるが、この例では、高濃度不純物**1 ソース・ドレイン領域の直下に形成している。またこの 州では、p型のシリコン基板1を用いているため、NM OSトランジスタのソース・ドレイン領域直下にはp型 の高温度不純物領域11を形成し、PMOSトランジス 9のソース・ドレイン領域直下にはn型の高線度不純物 近域38を形成する単によって、不要な寄生容量の発生 を防止している。上記高濃度不純物領域11と38の伝 尊烈を道にした場合(角道度不割物館は11を1型、角 場板1の中に新たなp − n投合が形成されるため、不要 な寄生容量が増加してしまう事になる。高濃度不純物質 1と38を各トランジスタのゲート電極下部ではなく、 遠度不純物領域38をp型にした場合)には、シリコン について説明したように、ソース・ドレインを形成する 岐11と38は、本発明の第三の実施例 (図5, 図6) ためのイオン注入を行なう通常の製造工程において、

に形成する配線の配置散計や構造散計には目的に応じた コン基板1の界面近傍の電位を所躍の値に固定するため さらに、各トランジスタ領域下部のSiO₂ 幅 2 とシリ 不純物濃度の低い n 型シリコン基板 1 を用いる場合に 6 同様の構造が容易に実現できることは言うまでもない。 不純物濃度の低い p 型シリコン基板 1 を用いているが、 [0050] 本発明の第七,第八,第九の実施例では、 自由度がある、という事も置うまでもない。 【発明の効果】以上説明した用に本発明のSOI型半導 留の位置に不純物濃度の高い領域を有しているため、ド レイン電圧の上昇によってシリコン基板側に形成される 駆動能力などの基本特性が向上する結果、回路動作速度 本装置は、SiO2 Mとシリコン装板との米面近傍の所 空乏層がチャネル領域下部にまで広がる事を抑制できる 圧、チャネル移動度などのパラメータが安定化して電液 が向上する、という効果を有する。基板濃度としては1 ましい。また、上記実施例で示した材料は適宜他の絶縁 **婚や半導体材料、不純物におきかえることもできる。特** ×10㎡cm-1以上で初期の目的・効果が得られること に単枯品シリコンの代わりに多枯品シリコンでもよい。 が確認されたが、実用的には1×101cm-以上が好 ため、完全空乏化型SOIトランジスタのしきい値電

[図1] 本発明の第一の実施例を示す半導体チップの断 |図面の簡単な説明|

[図2] 本発明の第一の大協例に用いたSOI馬板の製 流方法を示す図である。 [図3] 本発明の第二の実施例を示す半導体チップの断 [図4] 本発明の第二の実施例に用いたSOI 基板の製 面図である。

造方法を示す図である。

[図5] 本発明の第三の実施例の示す半導体チップの断 面図である。

[図6] 本発明の第三の実施例の製造方法を示す図であ

[図7] 本発明の第四の実施例を示す半導体チップの断 【図8】 本発明の第四の実施例の製造方法を示す図であ 瓦図である。

[図9] 本発明の第五の実施例を示す半導体チップの断

[図10] 本発明の第六の実施例を示す半導体チップの 所面図である 脳図である。

[図11] 本発明の第七の実施例を示す半導体チップの 新面図である。 [図13] 本発明の第七の実施例の製造方法の他の一部

オン陸と加速エネルギーを改更する事によって容易に形

[図12] 本発明の第七の実施例の製造方法の一部を示

【図14】 本発明の第七の実施例の製造方法の他の一部

:示す図である。

[図15] 本発明の第七の実施例の製造方法はさらに他 [図16] 本発明の第八の実施例を示す半導体チップの の一部を示す図である。

[図17] 本発明の第八の実施例の製造方法を示す図で 新面図である。

[図18] 本発明の第九の実施例を示す半導体チップの [図20] SOI 塔板上に作製されたNMOSトランジ [図19] SO1路板の例を示す図である。 所面図である。

-:--

[図21] 動作状態にある完全空乏化型SOIトランジ スタと部分空芝化型SOIトランジスタの模式図であ スタの例を示す図である。

のドレインに電源電圧が印加されて、ロ型シリコン基板 [図23] 寄生容量に充電されていた電荷が、値列接接 された二つのNMOS/SOIトランジスタを介して放 [図22] 完全空乏化型NMOS/S01トランジスタ 明に空乏母が形成されている状況を示す概念国である。 聞される過程を示す概念図である。

[存号の説明]

シリコン基板 SiOy

単位語ショコン協

ソース

アイン

ゲート絶縁数 ゲート電極

単格品シリコン各板A

単価品シリコン発放B

高温度 p 監察域

イオン注入

などを

チャネル領域 免货代数

毀化與

CVD做化版

ボロンイキンぼ入 フォトレジスト

ポロンイオン注入 保地端子 出力落子 0

空无路 53

高温度n型領域 外核化歧

NMO Sトランジスタ部

热做化膜

フォトレジストリンイオン往入

29

ゲート電極となる領域

CVD低化版

22 E

数化数

n型流体

热酸化极

ボロンイオン注入

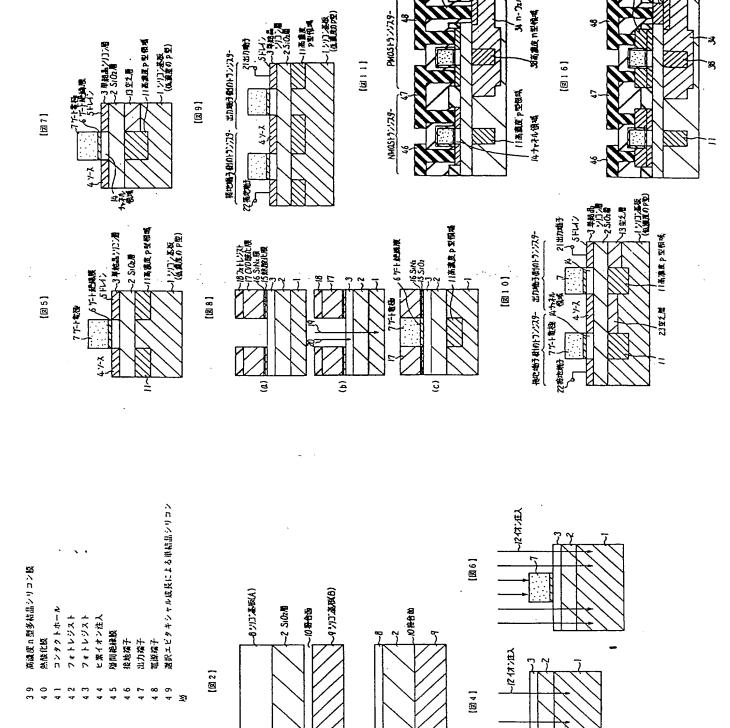
高温度n型領域

フォトレジスト

[图]

ファトの

4.7-7



(TAG 0)

-2 SiQuil -1 VIJ7結後 (1 M b)

- 3年活品で137歳・

SFZ:

7-1-16日

[周3]

-11高温度P型債域

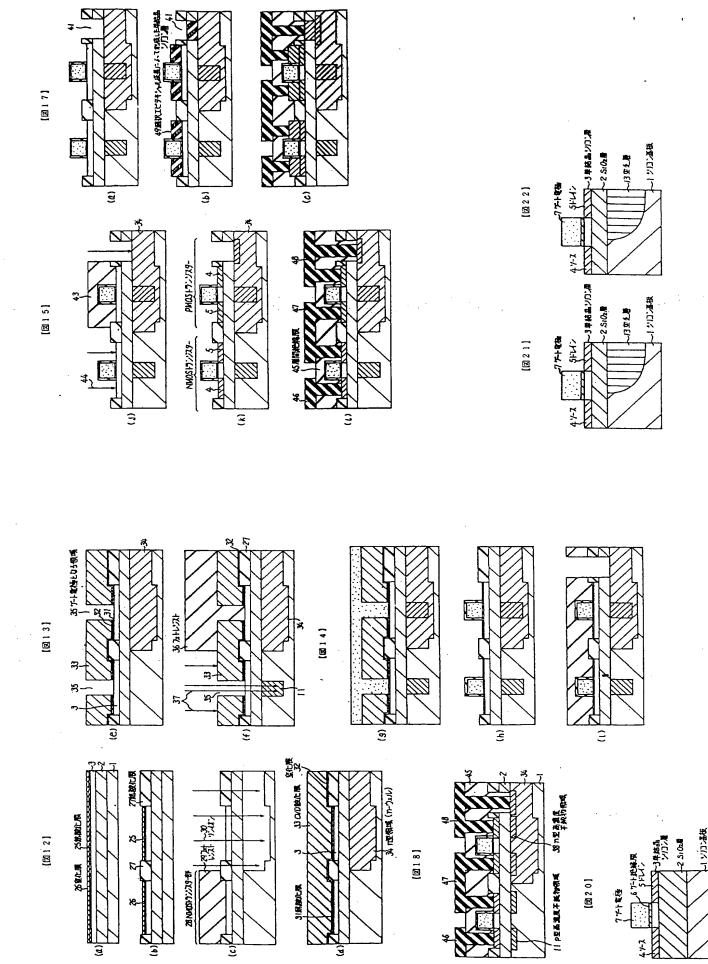
~2 SiOz#

~ (仏皇成の p型)

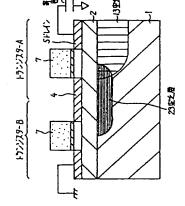
以~3年格品2/17個

[61図]

-2 Sr02/



[图23]



THIS PAGE BLANK (USPTO)